

DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

04084163 **Image available**
PICTURE SIGNAL PROCESSING SYSTEM

PUB. NO.: 05-075863 [J P 5075863 A]
PUBLISHED: March 26, 1993 (19930326)
INVENTOR(s): TSUJI HIDEYUKI
 NAKAJIMA KEISUKE
 KOJIMA YASUYUKI
APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 03-260525 [JP 91260525]
FILED: September 12, 1991 (19910912)
INTL CLASS: [5] H04N-001/40
JAPIO CLASS: 44.7 (COMMUNICATION -- Facsimile)
JOURNAL: Section: E, Section No. 1405, Vol. 17, No. 404, Pg. 125, July
 28, 1993 (19930728)

ABSTRACT

PURPOSE: To make it possible to obtain the binary picture signal of pseudo half-tone picture with high picture quality by a simple constitution by using a buffer memory with comparatively small storage capacity or other similar things.

CONSTITUTION: In a picture signal processing system converting halftone picture information into a binary picture signal by using an error diffusion system, the system has a binary means 7 binarizing halftone picture information of plural adjacent picture element units respectively and in parallel, plural error generation means 8, 9 obtaining respectively the error for each picture element at the time of binarization, an average value means 10 averaging the binary errors of plural error generation means 8, 9, storage means 3, 4 storing these averaged binary errors and feedback means 12 to 14 performing feedbacks of the outputs storage means 3, 4 to each input of the binary means 7.

DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

009445660 **Image available**
WPI Acc No: 1993-139179/ 199317
XRPX Acc No: N93-106446

**Processor for producing binary halftone image signal - has circuitry for
detecting average binary-coding error to control binary coding.**

NoAbstract

Patent Assignee: HITACHI LTD (HITA)
Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5075863	A	19930326	JP 91260525	A	19910912	199317 B
JP 3209763	B2	20010917	JP 91260525	A	19910912	200156

Priority Applications (No Type Date): JP 91260525 A 19910912

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 5075863	A		25	H04N-001/40	
JP 3209763	B2		24	H04N-001/403	Previous Publ. patent JP 5075863

Abstract (Basic): JP 5075863 A

(43)公開日 平成5年(1993)3月26日

技術表示箇所

審査請求 未請求 請求項の数14(全 25 頁)

特願平3-260525

平成3年(1991)9月12日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 堯明者 辻 秀之

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 中島 啓介

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 小嶋 康行

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(74)代理人 弁理士 武 顕次郎

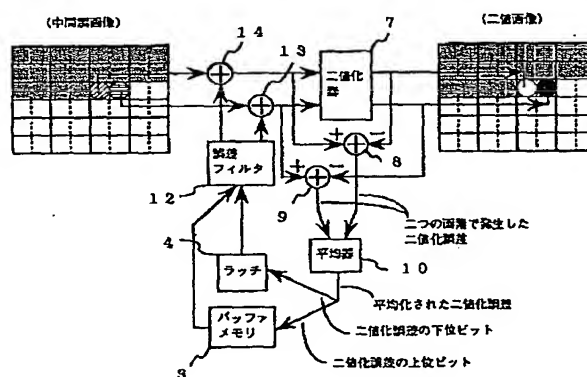
(54)【発明の名称】 画像信号処理方式

(57) 【要約】

【目的】 比較的小記憶容量のバッファメモリ3またはそれに類似のものをを用い、高画質な疑似中間調画像の2値画像信号を、簡単な構成により得るようにした画像信号処理方式の提供。

【構成】 中間調画像情報を誤差拡散方式を用いて２値画像信号に変換する画像信号処理方式において、隣接する複数画素単位の間調画像情報をそれぞれ並列的に２値化する２値化手段７と、各画素に対する前記２値化時の誤差をそれぞれ得る複数の誤差発生手段８、９と、複数の誤差発生手段８、９の２値化誤差を平均化する平均値手段１０と、この平均化された２値化誤差を記憶する記憶手段３、４と、記憶手段３、４の出力を２値化手段７の各入力へ帰還する帰還手段１２乃至１４とを有する。

【圖3】



【特許請求の範囲】

【請求項1】 中間調画像情報を誤差拡散方式を用いて2値画像信号に変換する画像信号処理方式において、画素単位の間調画像情報を2値化する2値化手段と、前記2値化時の誤差を得る誤差発生手段と、この誤差発生手段で得られた2値化誤差の上位ビットを記憶する記憶手段と、前記2値化誤差の下位ビットをラッチするラッチ手段と、前記記憶手段及びラッチ手段の出力を前記2値化手段の入力へ帰還する帰還手段とを有することを特徴とする画像信号処理方式。

【請求項2】 前記誤差発生手段と前記記憶手段との間に2値化誤差をビット圧縮する変換手段を配置し、前記記憶手段の出力側に圧縮された2値化誤差をビット伸長する逆変換手段を配置したことを特徴とする請求項1記載の画像信号処理方式。

【請求項3】 中間調画像情報を誤差拡散方式を用いて2値画像信号に変換する画像信号処理方式において、隣接する複数画素単位の間調画像情報をそれぞれ並列的に2値化する2値化手段と、各画素に対する前記2値化時の誤差をそれぞれ得る複数の誤差発生手段と、前記複数の誤差発生手段の2値化誤差を平均化する平均値手段と、この平均化された2値化誤差を記憶する記憶手段と、前記記憶手段の出力を前記2値化手段の各入力へ帰還する帰還手段とを有することを特徴とする画像信号処理方式。

【請求項4】 前記平均化された2値化誤差の上位ビットを記憶する記憶手段と、前記平均化された2値化誤差の下位ビットをラッチするラッチ手段と、前記記憶手段及びラッチ手段の出力を前記2画素単位の間調画像情報をそれぞれ並列的に2値化する2値化手段の各入力へ帰還する帰還手段とを有することを特徴とする請求項2記載の画像信号処理方式。

【請求項5】 中間調画像情報を誤差拡散方式を用いて2値画像信号に変換する画像信号処理方式において、画素単位の間調画像情報を2値化する2値化手段と、前記2値化時の誤差を得る誤差発生手段と、この誤差発生手段で得られた2値化誤差を記憶する記憶手段と、前記記憶手段出力を誤差分配器を介して前記2値化手段に帰還する帰還手段とを有し、前記誤差分配器は、注目画素から導出された中間調画像情報に対して、その周辺画素により得られた2値化誤差を分配する際に、前記周辺画素で発生した2値化誤差をそれぞれ2進数で表し、かつ、前記周辺画素の位置に応じて前記2進数の特定のビットをそれぞれの前記周辺画素に割当て、これら割当てられたビットを加算して前記分配の量を定めるようにしたことを特徴とする画像信号処理方式。

【請求項6】 中間調画像情報を誤差拡散方式を用いて2値画像信号に変換する画像信号処理方式において、画素単位の間調画像情報を2値化する2値化手段と、前記2値化時の誤差を得る誤差発生手段と、この誤差発生

手段で得られた2値化誤差をラッチするラッチ手段と、前記ラッチ手段の出力を前記2値化手段に帰還する帰還手段と、副走査方向の間調再現性を上昇させる補正手段とを有することを特徴とする画像信号処理方式。

【請求項7】 前記補正手段は、入力された前記中間調画像情報に対して、少なくとも1ライン毎に極性の変換する交流バイアスを印加する手段であることを特徴とする請求項6記載の画像信号処理方式。

【請求項8】 前記補正手段は、前記2値化手段で得られた2値画像信号を保存する記憶手段と、この記憶手段の出力を入力された前記中間調画像情報に帰還する帰還手段とからなることを特徴とする請求項6記載の画像信号処理方式。

【請求項9】 前記複数画素単位の間調画像情報をそれぞれ並列的に2値化する2値化手段は、隣接する画素からの中間調画像情報の和の値を求める加算手段と、その加算手段の出力値をそれぞれしきい値を比較する比較手段とを含むことを特徴とする請求項3及び4記載の画像信号処理方式。

【請求項10】 前記画素単位の間調画像情報を2値化する2値化手段は、出力された2値画像信号を保存する記憶手段と、この記憶手段の出力から次の2値画像信号を予測する予測手段と、0及び1の定数と、前記予測手段からの2値画像信号とのいずれかが選択的に出力される選択手段とを含み、前記選択手段の出力は入力される中間調画像信号の値によって選択されることを特徴とする請求項1、2、5、6記載の画像信号処理方式。

【請求項11】 前記2値化手段で得られた2値画像信号を保存する記憶手段の出力を参照データとして、前記2値化手段で得られた2値画像信号を符号化する符号化手段を設けたことを特徴とする請求項8記載の画像信号処理方式。

【請求項12】 前記出力された2値画像信号を保存する記憶手段の出力を参照データとして、前記2値化手段で得られた2値画像信号を符号化する符号化手段を設けたことを特徴とする請求項10記載の画像信号処理方式。

【請求項13】 前記画素単位の間調画像情報を2値化する2値化手段の2値画像信号と前記次の2値画像信号を予測する予測手段の出力とを比較する比較手段、及び、前記比較手段の出力2値信号を符号化する符号化手段を備えたことを特徴とする請求項10記載の画像信号処理方式。

【請求項14】 前記画素単位の間調画像情報を2値化する2値化手段の2値画像信号と前記次の2値画像信号を予測する予測手段の出力とを比較する比較手段、及び、前記比較手段の出力2値信号を符号化する符号化手段を備え、さらに、前記符号化手段の符号化信号を復号する復号化手段と、前記復号化手段の出力にตอบสนองして復号された2値画像信号を発生する選択手段と、復号され

た2値画像信号を保存する記憶手段と、この記憶手段の出力から次の2値画像信号を予測する予測手段とを備え、この予測手段の出力2値画像信号を前記選択手段に供給して復号されたものの2値画像信号を発生させることを特徴とする請求項10記載の画像信号処理方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像信号処理方式に係り、特に、走査により得られた画素単位の間調画像情報を誤差拡散方式を用いて2値画像信号に変換し、さら
10 に、この2値画像信号に対して符号化等の処理を行なう画像処理装置に関する。

【0002】

【従来の技術】従来、走査により得られた画素単位の間調画像情報を2値画像信号に変換する方法の中に、原中間調画像情報が保持している階調性を維持させながら2値画像信号を得る方法の一つとして誤差拡散法が知られている。この誤差拡散法は、画素単位の間調画像情報を順次2値画像信号に変換して行く際に、それぞれの
20 変換時に生じる誤差を、中間調画像情報が未だ2値画像信号に変換されていない画素の点に分配することによって、各画素の点における2値化時の前記誤差を互いに打ち消し合い、得られた2値画像信号に原中間調画像情報の階調性が維持されるようにしたものである。

【0003】ところで、図23は、従来の誤差拡散法を用いた2値化回路の概略の構成図であり、図24は、前記誤差拡散法において周辺画素からの誤差が分配される様子を示した図である。

【0004】図23において、200は2値化器、201は加算器、202はバッファメモリ、203は誤差フ
30 イルタ、204は加算器である。

【0005】そして、図の左側の画面を走査することにより各画素に対応した中間調画像情報が得られるものであるが、前記画面は、左から右に進む主走査と上から下に進む副走査とが行なわれる、即ち、前記画面の1ライン毎に左から右に主走査処理され、その主走査処理が終わるとすぐ下のラインの主走査処理に移る。

【0006】2値化器200は入力された中間調画像情報の2値化を行ない、出力に2値画像信号を発生させる。加算器201は2値化器200の入出力の比較を行
40 なってその都度前記2値化時の誤差を発生させ、これをバッファメモリ202に供給する。このとき、バッファメモリ202には既に2値化が終了した画素に対する2値化誤差が保存されており、誤差フィルタ203は前記

保存されている2値化誤差の加重平均を計算し、この結果得られた値が加算器204を介して中間調画像情報に加算されるもので、この加算値が前記中間調画像信号へ分配値になる。

【0007】この際の2値化誤差の分配は、図24を示すようなもので、斜線を引いた画素はこれから2値化される注目画素であり、この注目画素には既に2値化が終了した隣接する4つの周辺画素で得られた2値化誤差にそれぞれ重み付け係数a、b、c、dが乗算され、これらの乗算値の総和値がこの注目画素に分配される。なお、前記重み付け係数a、b、c、dの間には、 $a + b + c + d = 1$ の関係がある。

【0008】この2値化回路においては、加算器201で得られた各画素ごとの2値化誤差をバッファメモリ202で保存する必要があるため、バッファメモリ202は、主走査方向の画素数（または、その整数倍）とほぼ等しい長さの記憶容量をもったラインメモリでなければならず、また、1つの画素で得られた2値化誤差を、副走査方向に隣接した画素にも分配するようにするためには、どうしてもラインメモリが必要になる。

【0009】また、原中間調画像情報が保持している階調性を維持させながら2値画像信号を得る別の方法として、デルタ・シグマ変調を用いるものが知られており、この方法は、例えば、昭和48年度電子通信学会全国大会講演論文集、第1023頁「 $\Delta-\Sigma$ 変調による階調ある画像のファックス伝送」、特開昭58-151776号、特開昭61-152163号等に開示されている。この場合、前記誤差拡散法とデルタ・シグマ変調との間には、以下に述べるような類似点がある。

【0010】図22(a)は、前記デルタ・シグマ変調回路の概略構成を示すブロック図、図22(b)は前記概略構成と等価な回路を示すブロック図である。この図22(b)と前述の図23とを比較すると、前者の遅延器211が後者のバッファメモリ202及び誤差フィルタ203からなる2次元の加重平均回路に置換されているものである。

【0011】図22(a)において、205は2値化器、206は積分器、207は遅延器、208は加算器である。

【0012】いま、発生する量子化雑音を $Q(z)$ 、出力を $Y(z)$ とすると、デルタ・シグマ変調回路の入力と出力の関係は以下の数1のように表される。

【0013】

【数1】

… (数1)

$$Y(z) = X(z) + (1 - z^{-1})Q(z)$$

z^{-1} は、遅延を表す。

【0014】一方、図23の誤差拡散回路において、入力を $X(z_1, z_2)$ 、2値化器200で発生する量子
50

化雑音を $Q(z_1, z_2)$ 、出力を $Y(z_1, z_2)$ とすると、入力と出力の関係は以下の数2のように表され

る。

【数2】

【0015】

$$Y(z_1, z_2) = X(z_1, z_2) + (1 - H(z_1, z_2))Q(z_1, z_2) \quad \dots \text{ (数2)}$$

$$H(z_1, z_2) = az_1^{-1} + bz_1^{-1}z_2^{-1} + cz_2^{-1} + dz_1z_2^{-1}$$

a, b, c, d は、誤差フィルタの係数で、 $a+b+c+d=1$

z_1^{-1}, z_2^{-1} は、それぞれ主走査方向と副走査方向の遅延を表す。

【0016】即ち、誤差拡散法はデルタ・シグマ変調を2次元に拡張したもの、逆に、デルタ・シグマ変調を用いた2値化方式は、誤差拡散法において2値化誤差を主走査方向にのみ分配した、特別な場合であるとい

うことである。この制限をなくすには、バス幅を広げて複数のデータを一度に扱えるようにし、かつ、LSIの内部にバッファメモリを持つようにすればよいが、これではハードウェアの規模が大きくなって不経済になる。

【0017】一般に、画像を見る場合には、視覚的な平滑作用により画像の細かい部分、即ち、高周波成分は減衰して目立たなくなる。一方、前記数1と数2より、誤差拡散法やデルタ・シグマ変調は量子化雑音の周波数成分を高周波成分に集中させたものであることがわかる。つまり、誤差拡散法やデルタ・シグマ変調を用いた2値化方式は、量子化雑音を視覚特性上、目立たない周波数

【0021】その2は、1つの画素を2値化する際の情報は、その画素自身の有する情報と以前に2値化された画素による情報のみであるので、画面の広い範囲における階調性は維持されたとしても、個々の画素に最適な2値化が行なわれているとは限らないということである。即ち、隣接する二つの画素a、bからの中間調画像情報の値がa) b)であっても、画素aには0、画素bには1が割り当てられる場合がある。例えば、画素aが、しきい値に僅かに及ばない値の時、画素aには0が割り当てられる。この時の2値化誤差の一部は次の画素bに先送りされるので、a) b)であっても、画素bの値b+(誤差)がしきい値より大きければ、画素bは1となる。このような現象は、画面のエッジ部や細線部を乱す原因となる。このような問題に対して、特開昭61-32654号あるいは画像電子学会誌、第17巻、第5号(1988)第361乃至368頁「周辺濃度集積再分配法(CAPIX法)による疑似中間調再生プロセッサ」には、画面の適当な大きさの窓内の走査を行ない、この窓内の各画素で得られた中間調画像情報に順序付けを行ない、それに応じて黒画素の配置を行なう2値化方式が開示されており、これらの方式は、前述の問題を解決することはできるものの、多くのバッファメモリを必要とし、かつ、処理も複雑になるという問題がある。

【0018】この他にも、既に、中間調画像情報を誤差拡散方式を用いて2値画像信号に変換したり、この2値画像信号を符号化する画像信号処理方式には、種々のものが知られている。例えば、特開平1-284172号に開示のものは、中間調画像情報と2値画像信号との2値化誤差を得た後、この2値化誤差に重み付けを行ない、その結果得られた誤差を周辺画素に分配するとともに、この重み付けを行なった際に得られる誤差の余り分を補正することにより、前記中間調画像情報と2値画像信号との濃度の整合性を上昇させるようにしたものであり、特開平2-182080号に開示のものは、注目画素からの中間調画像情報を2値画像信号に変換する際に、前記注目画素が存在するラインの前のラインの既に2値化された画素の2値画像信号、または、前記注目画素が存在するラインの既に2値化された画素の2値画像信号を参照して2値化を行ない、次いで、この2値画像信号を符号化するようにし、2値画像信号のデータ量を減らすようにしたものである。

【0022】その3は、2値化誤差を周辺画素に分配する際に、積和演算が必要であって計算量が大きくなるということである。この問題に対して、特開昭64-18369号、特開平1-284172号には、2値化誤差を分配する際の重み付け係数として、 $1/2$ 、 $1/4$ 、 $1/8$ 等のように、計算のしやすい値を用いる2値化方式が開示されており、これらの方式は、確かに、従来のものよりは計算が容易になったものの、ディザ法に比べると未だ複雑である。

【0019】

【発明が解決しようとする課題】中間調画像情報を2値画像信号に変換する場合に、従来の誤差拡散法は、各画素から得られた中間調画像情報を順次2値化した際に生じる2値化誤差を未だ2値化されていない画素に分配するものであるため、次のような問題が生じる。

【0020】その1は、一つの画素を2値化する度に、バッファメモリから2値化誤差を読み出したり、バッファメモリに2値化誤差を書き込んだりする必要があるもので、メモリアクセス時間によって処理速度が制限される

【0023】その4は、2値化誤差を保存しておくための大きな記憶容量をもったバッファメモリが必要であるということである。ディザ法はバッファメモリを必要としないが、画質の点では誤差拡散法の方が優れているところで、大きなバッファメモリを必要とすることな

く、誤差拡散法と類似の処理を行なう2値化方式にはデルタ・シグマ変調方式があるが、この方式は高画質のものが得られないという問題を有している。

【0024】その5は、誤差拡散法で得られた二値画像信号を、MH符号あるいはMR符号で符号化する場合、情報圧縮を行なうのが困難であり、逆に情報量が増えてしまう場合もあることである。これは、MH符号やMR符号の符号化方式が、二値画像信号において白画素や黒画素が集中して存在することを前提にしている符号化方式であるためである。誤差拡散法で得られた二値画像信号は、濃度の中間調を表現するため、白画素と黒画素が点描のように散乱しているものであるから、前記符号化を用いたときには符号化効率が悪くなってしまう。この問題に対して、特開平2-182080号には、2値化された結果を比較器にフィードバックすることにより、2値化器にヒステリシス特性を持たせる2値化方式が開示されており、この方式は、主走査あるいは副走査方向に同じ値の画素が連続するようになり、また、誤差拡散法との併用を行なっているため、二値画像信号で階調性も保存されるという利点がある。しかるに、この方式は、MH符号あるいはMR符号と親和性のよい二値画像信号を生成するものであるとしても、2値化器のヒステリシス特性と誤差拡散法との関係について何等考察が行なわれておらず、得られた二値画像信号の性質を自由に制御できるように考案されているものでもない。また、得られた二値画像信号には、散りじりになった短いランが多数発生し、画面がやや見苦しいという問題がある。

【0025】本発明は、前述の各問題点を解決するものであって、比較的小記憶容量のバッファメモリまたはそれに類似のものをを用い、高画質な疑似中間調画像の二値画像信号を、簡単な構成により得るようにした画像信号処理方式を提供することにある。

【0026】

【課題を解決するための手段】前記目的を達成するために、本発明は、中間調画像情報を誤差拡散方式を用いて2値画像信号に変換する画像信号処理方式において、画素単位の間調画像情報を2値化する2値化手段と、前記2値化時の誤差を得る誤差発生手段と、この誤差発生手段で得られた2値化誤差の上位ビットを記憶する記憶手段と、前記2値化誤差の下位ビットをラッチするラッチ手段と、前記記憶手段及びラッチ手段の出力を前記2値化手段の入力へ帰還する帰還手段とを有する第1の手段を備える。

【0027】また、前記目的を達成するために、本発明は、中間調画像情報を誤差拡散方式を用いて2値画像信号に変換する画像信号処理方式において、隣接する複数画素単位の間調画像情報をそれぞれ並列的に2値化する2値化手段と、各画素に対する前記2値化時の誤差をそれぞれ得る複数の誤差発生手段と、前記複数の誤差発生手段の2値化誤差を平均化する平均値手段と、この平

均化された2値化誤差を記憶する記憶手段と、前記記憶手段の出力を前記2値化手段の各入力へ帰還する帰還手段とを有する第2の手段を備える。

【0028】さらに、前記目的を達成するために、本発明は、中間調画像情報を誤差拡散方式を用いて2値画像信号に変換する画像信号処理方式において、画素単位の間調画像情報を2値化する2値化手段と、前記2値化時の誤差を得る誤差発生手段と、この誤差発生手段で得られた2値化誤差を記憶する記憶手段と、前記記憶手段の出力を誤差分配器を介して前記2値化手段に帰還する帰還手段とを有し、前記誤差分配器は、注目画素から導出された中間調画像情報に対して、その周辺画素により得られた2値化誤差を分配する際に、前記周辺画素で発生した2値化誤差をそれぞれ2進数で表し、かつ、前記周辺画素の位置に応じて前記2進数の特定のビットをそれぞれの前記周辺画素に割当て、これら割当てられたビットを加算して前記分配の量を定めるようにした第3の手段を備える。

【0029】この他、前記目的を達成するために、本発明は、中間調画像情報を誤差拡散方式を用いて2値画像信号に変換する画像信号処理方式において、画素単位の間調画像情報を2値化する2値化手段と、前記2値化時の誤差を得る誤差発生手段と、この誤差発生手段で得られた2値化誤差をラッチするラッチ手段と、前記ラッチ手段の出力を前記2値化手段に帰還する帰還手段と、副走査方向の間調再現性を上昇させる補正手段とを有する第4の手段を備える。

【0030】

【作用】前記第1の手段によれば、2値化誤差の上位ビットを記憶する記憶手段と、前記2値化誤差の下位ビットをラッチするラッチ手段とを配置し、従来のバッファメモリの機能を前記記憶手段と前記ラッチ手段とに分散させているので、バッファメモリであるところの前記記憶手段の記憶容量を小さいものにすることができる。

【0031】前記第2の手段によれば、複数画素に対する各2値化時の誤差を平均化し、その平均化した2値化誤差を記憶手段、即ち、バッファメモリに記憶させるようにしているので、複数の画素からの2値化誤差をそれぞれ別個にバッファメモリに記憶させるものに比べて、前記記憶手段の記憶容量を小さいものにすることができる。

【0032】前記第3の手段によれば、記憶手段であるバッファメモリの出力において、画素に加算する誤差の分配比を計算する場合に、ハードウェア的に前記分配比が設定されている誤差分配器を用いているので、2値化誤差を分配する際の計算が極めて簡単になる。

【0033】前記第4の手段によれば、2値化誤差をラッチするラッチ手段を用いているだけで、バッファメモリを用いていないから、記憶装置の記憶容量を極端に小さくすることができる。そして、この場合に、副走査方

向の中間調再現性を補正する手段を設けているので、2値化画像信号による副走査方向の中間調再現性の劣化を最小限に留めることができる。

【0034】

【実施例】以下、本発明の実施例を図面を用いて説明する。

【0035】図1は、本発明に係る画像信号処理装置の第1の実施例を示すブロック構成図である。

【0036】図1において、1は2値化器、2は加算器、3はバッファメモリ、4はラッチ回路、5は誤差フ
イルタ、6は加算器である。

【0037】そして、バッファメモリ3は加算器2から得られる2値化誤差の上位ビットが供給され、ラッチ回路4は前記2値化誤差の残りの階ビットが供給される。

【0038】前記構成において、2値化されるべき画素から入力された中間調画像情報は、加算器6に供給され、そこで誤差フィルタ5の出力と加算される。次いで、この加算された中間調画像情報は、2値化器1に供給され、そこで2値化されて2値化画像信号に変換される。加算器2は、前記加算された中間調画像情報と前記2値化画像信号を減算し、2値化誤差を発生させる。こ
こで得られた2値化誤差は、適当なビット数において上位部と下位部に分けられ、その中の上位ビットはバッファメモリ3に保存され、残りの下位ビットは符号を拡張した後、ラッチ回路4に保存される。当然のことであるが、バッファメモリ3とラッチ回路4に保存された値の合計は元の2値化誤差の値に等しいものである。次いで、バッファメモリ3に保存された2値化誤差の上位ビットは、従来の誤差拡散法と同様に、複数の画素に分配される。一方、ラッチ回路4に保存された2値化誤差の
下位ビットは、加算器6において次に入力される中間調画像情報に加算される。

【0039】本実施例によれば、バッファメモリ3のバス幅は、上位部のビット数（任意に設定できる）だけあれば十分であるので、バッファメモリ3は従来のバッファメモリよりも少ないビット幅のものが用いられ、しかも、このビット幅は任意に設定できるものである。例えば、2値化される中間調画像情報が、6ビット64階調の場合であっても、バッファメモリ3に4ビット幅のものをを用いることができる。このため、単に、バッファ
メモリ3の記憶容量が削減できるだけでなく、誤差拡散回路を設計する上の自由度が大きくなる。

【0040】図2は、本発明に係る画像信号処理装置の第2の実施例を示すブロック構成図である。

【0041】図2において、7は2値化器、8、9は加算器、10は平均化回路、11はバッファメモリ、12は誤差フィルタ、13、14は加算器である。

【0042】そして、2値化器は2つの入力から供給される各別の中間調画像情報をそれぞれ並列的に2値化を行ない、各別の2値化画像信号として送り出すものであ
る。本実施例は、隣接した2つの画素から得られた中間調画像情報をまとめて2値化しようとするもので、前記2つの画素から得られた2つの中間調画像情報は、それぞれ加算器13、14に供給され、そこで誤差フィルタ5の各別の出力と加算される。この加算された2つの中間調画像情報は、2値化器7に供給され、そこで並列的に2値化され、2つの2値化画像信号に変換される。この2つの2値化画像信号は、2値化器7に供給され、そこで並列的に2値化され、2つの2値化画像信号に変換される。この2つの2値化画像信号は、加算器8、9はそれぞれ2値化誤差を発生させる。この2つの2値化誤差は平均化回路10で平均化され、平均化された2値化誤差が得られる。この平均化された2値化誤差は、上位ビットと残りの下位ビットに分配され、その中の上位ビットのみがバッファメモリ3に保存され、その中の下位ビットが符号を補ってからラッチ回路4に保存される。このとき
も、バッファメモリ3とラッチ4に保存された値の合計

る。本実施例は、隣接した2つの画素から得られた中間調画像情報をまとめて2値化しようとするもので、前記2つの画素から得られた2つの中間調画像情報は、それぞれ加算器13、14に供給され、そこで誤差フィルタ5の各別の出力と加算される。この加算された2つの中間調画像情報は、2値化器7に供給され、そこで並列的に2値化され、2つの2値化画像信号に変換される。このとき、加算器8、9は、別個に、前記加算された中間調画像情報と前記2値化画像信号を減算し、それぞれ2値化誤差を発生させる。ここで得られた2つの2値化誤差は、平均化回路10に供給され、そこでそれらの平均値が計算される。ここで計算された値は、前記2つの画素で生じた2値化誤差の代表値としてバッファメモリ11に保存される。次いで、バッファメモリ11に保存された2値化誤差は、必要に応じて読み出された後、誤差フィルタ12で重み付けがなされ、加算器13、14において以後に入力される中間調画像情報に加算される。

【0043】本実施例によれば、各加算器8、9で得られた2値化誤差をそのまま保存するのではなく、2画素単位に代表値を求めてから保存するので、バッファメモリ11の大きさは従来のものの約半分で足りる。また、バッファメモリ11に対する読み出し及び書き込みの頻度も減少するので、メモリアクセスタイムも緩和され、高速処理が可能になる。さらに、バッファメモリ11から読み出された値を中間調画像情報に分配するための計算も簡略化することができる。

【0044】なお、本実施例においては、2画素単位に2値化を行ない、2値化誤差の平均化を行なうものについて説明したが、画素単位は2つでなくてもよく、2以上の任意の数nを画素単位とする処理も同様に行なうことができるものである。

【0045】次に、図3は、本発明に係る画像信号処理装置の第3の実施例を示すブロック構成図である。

【0046】図3において、図1及び図2に示した構成要素と同じ構成要素には同じ符号を付けている。

【0047】この実施例は、第1及び第2の実施例を組み合わせて構成したもので、第2の実施例と同様に、隣接した2つの画素から得られた中間調画像情報をまとめて2値化しようとするものである。前記2つの画素から得られた中間調画像情報は、それぞれ加算器13、14により値が修正され、これらの修正された値は2値化器7に供給され、そこで並列的に2値化され、2つの2値化画像信号に変換される。加算器8、9はそれぞれの2値化誤差を発生させる。この2つの2値化誤差は平均化回路10で平均化され、平均化された2値化誤差が得られる。この平均化された2値化誤差は、上位ビットと残りの下位ビットに分配され、その中の上位ビットのみがバッファメモリ3に保存され、その中の下位ビットが符号を補ってからラッチ回路4に保存される。このとき
も、バッファメモリ3とラッチ4に保存された値の合計

を2倍したものは、元の2つの2値化誤差の値の合計と等くなる。

【0048】続いて、ラッチ回路4に保存された2値化誤差の下位ビットは、次の画素の2値化処理の際に読み出され、誤差フィルタ12を介して各加算器13、14に送られる。このときの読み出しは、次のように行なわれる。ラッチ4に保存された2値化誤差の下位ビットは、すぐ次の画素から得られた中間調画像情報が入力されると読み出され、誤差フィルタ11に送られる。バッファメモリ4に保存された2値化誤差の上位ビットは、誤差を分配する範囲にある画素からの中間調画像情報が入力されると繰り返し読み出され、誤差フィルタに送られる。つまり、バッファメモリ4に保存された2値化誤差上位ビットは、しばらく保存されて複数の画素に分配されるが、ラッチ回路4に保存された2値化誤差の下位ビットは、すぐ次の画素にのみ分配される。

【0049】本実施例によれば、前記第1及び第2の実施例の利点をそれぞれ併せもつものである。

【0050】次に、図4は、本発明に係る画像信号処理装置の第4の実施例を示すブロック構成図である。

【0051】図4において、15は変換器、16、18は逆変換器、17は加算器であり、その他、図1に示した構成要素と同じ構成要素には同じ符号を付けている。

【0052】そして、変換器15はビット圧縮を行ない、逆変換器16、18はビット伸長を行なうものである。

【0053】本実施例においては、加算器2で得られた2値化誤差は、変換器15で適当な変換によって代表値に置き換えられた後、バッファメモリ3に保存されるもので、この代表値を表現するのに用いるビット数はもとの2値化誤差のビット数よりも少なくなっている。削減されたビット数でバッファメモリ3に保存された後、バッファメモリ3から読み出された2値化誤差は逆変換器18で元のビット数の2値化誤差に戻され、誤差フィルタ5に送られる。一度、ビット数を削減した2値化誤差の値は逆変換しても元のビット数の2値化誤差の値とは一致しないが、ラッチ回路4にその補正值を書き込むことにより調整を行なう。この補正值は、変換器15で変換される前の2値化誤差の値と、逆変換器16で元に戻された2値化誤差の値の差になる。なお、これら2つの逆変換器16、18は同一特性のものが使用される。

【0054】この場合に、変換器15としては、種々のタイプのものが使用可能であるが、下位ビットを切り捨てるものを用いた場合には、前記第1の実施例のものと実質的に同じものになる。また、図5の(a)に示すように、1次元または2次元の低域通過フィルタ19と一画素単位の間引きを行なうダウンサンプリング回路20と組み合わせた場合は、前記第2または第3の実施例のものと実質的に同様なものとなる。この時には、代表値を保存するバッファメモリ3は、一画素おきの2値化

誤差の値だけを保存すればよいので、記憶容量をさらに削減することができる。また、変換器18として図5の(a)に示すものを用いたときには、逆変換器16、18として、図5の(b)に示すような、ビット補間を行なうインターポレーション回路21と1次元または2次元の低域通過フィルタ22との組み合わせを用いることが好ましい。

【0055】続いて、図6は、本発明に係る画像信号処理装置の第5の実施例を示すブロック構成図である。

【0056】図5において、23は加算器、24はバイアス発生回路であり、その他、図1に示した構成要素と同じ構成要素には同じ符号を付けている。

【0057】そして、交流バイアス発生回路24は、例えば、各ラインごとに同じ大きさで、極性が反転しているバイアス電圧を発生するものである。

【0058】本実施例は、2値化誤差をラッチ回路4に供給し、2値化誤差のすべてのビットを保存するようにした例である。この構成によれば、バッファメモリ3を省略することができ、誤差拡散回路の規模を大幅に縮小することができる。ただ、これだけでは、従来、周知のデルタ・シグマ変調方式のものと等価な回路になり、2値化誤差はすべて主走査方向に分配されるため、前記構成により2値化して得られた画像には、縦方向に縞模様が現われる等の画質劣化が生ずるようになる。この現象は、2値化誤差が主走査方向だけに分配されるため、副走査方向の中間調再現性が維持できなくなることによって起因しているので、本発明は、これを改善するために、補正回路を用いて副走査方向の中間調再現性を上げるようにしたものである。

【0059】本実施例においては、前記補正回路は、加算器23と交流バイアス発生回路24からなる回路で構成されている。画素から得られた中間調画像情報は、まず、加算器23でバイアス発生器24からの出力と加算される。このバイアス発生回路24は、正の定数+cまたは負の定数-cの出力電圧を発生するもので、その出力極性は2値化処理が副走査方向に一つ進むごとに交替する。加算器23の出力は、加算器6で2値化誤差に関する修正を受け、2値化器1で2値化される。加算器2は2値化誤差を発生し、その2値化誤差はラッチ回路4に保存される。ラッチ回路4に保存された2値化誤差は誤差フィルタ5に送られ、これ以後に入力される中間調画像情報を修正するために用いられる。なお、誤差フィルタ5は一次元の低域通過フィルタで構成されている。

【0060】本実施例は、副走査方向に交流バイアスを与えることにより、副走査方向の中間調再現性を上げているもので、バッファメモリ3を必要としないので、回路規模が小さくなり、バイアス発生回路24の採用は、従来のディザ法で用いるディザマトリックスよりは簡単である。なお、本実施例によって得られる2値画像は、従来の誤差拡散回路のものと、ディザ法を用いたものの

中間の性質を持ち、MH・MR符号化等で符号化した場合の符号量も、両者の中間になる。

【0061】次に、図7は、本発明に係る画像信号処理装置の第6の実施例を示すブロック構成図である。

【0062】図7において、25は2値バッファメモリ、26は2次元の低域通過フィルタ、27は加算器であり、その他、図1に示した構成要素と同じ構成要素には同じ符号を付けている。

【0063】そして、2値バッファメモリ25、2次元の低域通過フィルタ26、加算器27からなるフィードバック回路は前記補正回路を構成している。

【0064】画素で得られた中間調画像情報は、まず、加算器27で2次元の低域通過フィルタ26の出力と加算され、次に、加算器61で2値化誤差に関する修正を受け、2値化器24で2値化される。2値化された2値化画像信号は、2値バッファメモリ25に保存され、次いで、2次元の低域フィルタ26に入力される。加算器2は2値化誤差を計算し、ラッチ回路4で保存される。ラッチ回路4から読み出された2値化誤差は、誤差フィルタ5に送られ、以後に入力される中間調画像情報を修正するために用いられる。

【0065】本実施例によれば、2値画像信号をフィードバックすることによって、2値化誤差の副走査方向の低周波成分が減衰し、高周波成分が強調される。2値化誤差の低周波成分が減衰すれば、階調保存性が改善されることになる。副作用として、得られる2値画像それ自体も高域強調されてしまうが、元々、2値化の前処理として、エッジ強調などのため高域強調処理を行なう場合が多いので、この副作用は、積極的に利用することができる。

【0066】この場合、本実施例に用いている2値バッファメモリ25は、1画素1ビットの2値画像を保存するものであるから、2値化誤差を保存するバッファメモリ3よりも小さな容量のものでよい。また、得られた2値画像を符号化する際には、例えば、ファクシミリで用いられているMR符号化のように、2値画像を保存しておくバッファメモリを必要とする場合が多いが、本実施例は、そのような場合に2値バッファメモリ25をそれに兼用させ、回路規模を縮小することができるものである。

【0067】また、図8は、本発明に係る画像信号処理装置の第7の実施例を示すブロック構成図である。

【0068】図8において、28は誤差分配器であり、その他、図1に示した構成要素と同じ構成要素には同じ符号を付けている。なお、図9は、前記誤差分配器28の具体的な構成を示す構成図である。

【0069】画素で得られた中間調画像信号は、加算器6で誤差分配器28の出力と加算され、2値化器1で2値化される。このとき、2値化器1の比較器のしきい値は2値化誤差が常に正または零になるように定められて

いる。加算器2で2値化誤差が求められ、バッファメモリ3に保存される。誤差分配器28は、以後に入力される中間調画像情報を修正するための値を、バッファメモリ3から読み出された2値化誤差の値から計算する。このときの計算は加重平均の計算ではなく、ビット線の組み合わせで求めている。

【0070】図9に示すように、誤差分配器28は、注目画素の周辺に配置されている画素に、それぞれ、2進数の特定のビットを割り当てるようにしている。例えば、画素aについては最下位ビットの1、画素bについては中間位ビットの4、画素cについては中間位ビットの2、画素dについて最上位ビットの8が割り当てられている。即ち、中間調画像情報において、いまから2値化しようとする画素の近傍の4つの画素で生じた2値化誤差が、バッファメモリ3から取り出される。バッファメモリ3から読み出された2値化誤差を表す信号線8a、8b、8c、8dはそれぞれが一つの画素で発生した2値化誤差に対応している。信号線8a、8b、8c、8dは、各4ビットの信号線であり、1、2、4、8に重み付けられている。したがって、2値化誤差は常に非負である。以下では、それぞれのビット線をa1、a2、a4、a8、b1、b2、...のように表す。

【0071】いま、a1からd8までの16本の信号線のうち、前述の割当てにしたがって信号線a1、b4、c2、d8が加算器6に入力されると、加算器6において、中間調画像情報に加算される値は $a1 \times 1 + b4 \times 4 + c2 \times 2 + d8 \times 8$ になる。2値化誤差は、ビット線毎に分解されるが、最終的にはすべて周辺画素に分配されるので、階調保存性が維持される。

【0072】本実施例によれば、2値化誤差を周辺画素に分配するための計算が不要になり、回路の構造が非常に簡単になる。

【0073】次に、前述の各実施例に用いられる2値化器のいくつかの構成例について説明する。

【0074】図10は、前記第2及び第3の実施例の2値化器7として用いられる2値化回路の例を示す構成図である。

【0075】図10において、29は加算器、30、31、32は比較器、33は選択器である。

【0076】本例の動作については、入力された2つの中間調画像情報x1、x2は、加算器29に送られ、そこでそれらの総和sが求められる。この総和sは、比較器30、31においてそれぞれしきい値s1、s2と比較され、その結果に応じて次のような2値化出力y1、y2が得られる。

【0077】①. $s < s1$ であれば、2値化出力は $y1 = y2 = 0$ であり、②. $s > s2$ であれば、2値化出力は $y1 = y2 = 1$ であり、③. $s1 \leq s \leq s2$ であれば、 $x1 \leq x2$ の時、 $y1 = 0$ 、 $y2 = 1$ であり、 $x1 > x2$ の時、 $y1 = 1$ 、 $y2 = 0$ である。なお、こ

で、 y_1 、 y_2 は、それぞれ2つの中間調画像情報 x_1 、 x_2 に対応した2値画像信号である。

【0078】この2値化回路を単独で用いた場合には、2つの画素の値を考慮して2値化を行なうので、簡単な構成でありながら、ある程度の階調性を保存できる。また、この2値化回路を前記第2の実施例の2値化器7に適用すると、2画素間の大小関係を考慮しているので、隣接した2つの画素 a 、 b の値が $a > b$ であるにもかかわらず、 a には0、 b には1が割り当てられるという現象が発生しにくくなり、得られた2値画像信号は、エッジ部のはっきりしたものになる。

【0079】図11は、前記第1、第2の実施例等の2値化器1として用いられる2値化回路の第1の例を示す構成図である。

【0080】図11において、34、35は比較器、36は選択器、37は1画素分の遅延器である。

【0081】本例の動作については、入力された中間調画像信号 x は、比較器34、35でそれぞれ2つのしきい値 s_1 、 s_2 と比較され、その比較結果に応じて次のような2値化出力 y が得られる。

【0082】①. $x \leq s_1$ であれば、 $y = 0$ であり、
②. $x \geq s_2$ であれば、 $y = 1$ であり、③. $s_1 < x < s_2$ であれば、 y は直前に出力した値である。

【0083】この2値化回路から得られた2値画像信号は、水平方向のランが連続しやすいので、MH符号化に適している。また、比較器に対するフィードバックを有していないので、パイプライン処理による高速化が容易である。

【0084】図12は、同じく、前記第1、第2の実施例等の2値化器1として用いられる2値化回路の第2の例を示す構成図である。

【0085】図12において、38は1ライン分の遅延器であり、その他、図11に示した構成要素と同じ構成要素には同じ符号を付けている。

【0086】本例は、前記第1の例の1画素分の遅延器37の代わりに1ライン分の遅延器38を用いたもので、中間調画像信号 x は、比較器34、35でそれぞれ2つのしきい値 s_1 、 s_2 と比較され、その比較結果に応じて次のような2値化出力 y が得られる。

【0087】①. $x \leq s_1$ であれば、 $y = 0$ であり、
②. $x \geq s_2$ であれば、 $y = 1$ であり、③. $s_1 < x < s_2$ であれば、 y はバッファメモリである1ライン分の遅延器38に蓄えられていた1ライン前に出力した値である。

【0088】この2値化回路から得られた2値画像信号は、垂直方向のランが連続しやすいので、MR符号化に適している。また、比較器に対するフィードバックを有していないので、パイプライン処理による高速化が容易である。

【0089】図13は、同じく、前記第1、第2の実施

例等の2値化器1として用いられる2値化回路の第3の例を示す構成図である。

【0090】図13において、39はインバータであり、その他、図11に示した構成要素と同じ構成要素には同じ符号を付けている。

【0091】本例は、前記第1の例の1画素分の遅延器37の後にインバータ39を設けたもので、入力された中間調画像信号 x は、比較器34、35でそれぞれ2つのしきい値 s_1 、 s_2 と比較され、その比較結果に応じて次のような2値化出力 y が得られる。

【0092】①. $x \leq s_1$ であれば、 $y = 0$ であり、
②. $x \geq s_2$ であれば、 $y = 1$ であり、③. $s_1 < x < s_2$ であれば、 y は直前に出力した値とは反対の値である。

【0093】この2値化回路から得られた2値画像信号は、白画素と黒画素とが分散されるので、中間調画像情報を2値化するのに適している。

【0094】図14は、同じく、前記第1、第2の実施例等の2値化器1として用いられる2値化回路の第4の例を示す構成図である。

【0095】図14において、図13及び図14に示した構成要素と同じ構成要素には同じ符号を付けている。

【0096】本例は、前記第2の例の1ライン分の遅延器38の後にインバータ39を設けたもので、中間調画像信号 x は、比較器34、35でそれぞれ2つのしきい値 s_1 、 s_2 と比較され、その比較結果に応じて次のような2値化出力 y が得られる。

【0097】①. $x \leq s_1$ であれば、 $y = 0$ であり、
②. $x \geq s_2$ であれば、 $y = 1$ であり、③. $s_1 < x < s_2$ であれば、 y はバッファメモリである1ライン分の遅延器38に蓄えられていた1ライン前に出力した値とは反対の値である。

【0098】この2値化回路から得られた2値画像信号は、白画素と黒画素とが分散されるので、中間調画像情報を2値化するのに適している。この2値化回路は、垂直方向の中間調再現性を改善するものであるから、図6あるいは図7に示された誤差拡散回路に適用すると効果が大きい。特に、図7に示された誤差拡散回路は、画面が高域強調されるので、前記適用を行なうと、種々の画質のものを得ることが可能である。

【0099】また、前記第1乃至第4の例の2値化回路を組み合わせ使用することも可能であり、1ライン分の遅延器38の遅延の長さを変えることにより、ランを水平、垂直以外の方向に傾けることも可能である。

【0100】一般に、水平あるいは垂直方向のランに比べて斜め方向のランは、視覚上、画質に与える影響が小さい。MR符号化は、垂直方向の相関を利用して符号化するものであるから、斜め方向のランでも、傾きが垂直に近ければ符号化効率は向上するようになる。ただし、MR符号化方式は、バスモードが発生すると符号量が増

加するので、ランの傾きの与え方には注意が必要である。

【0101】図15は、同じく、前記第1、第2の実施例等の2値化器1として用いられる2値化回路の第5の例を示す構成図である。

【0102】図15において、40、41、42は比較器、43は選択器、44は1ライン分の遅延器、45は1画素分の遅延器、46はオアゲート、47はアンドゲートである。

【0103】本例は、予測値として、1画素前の二値化結果と1ライン前の二値化結果との論理積および論理和を用いているもので、入力された中間調画像信号 x は、比較器141、142、143でそれぞれ3つのしきい値 s_1 、 s_2 、 s_3 と比較され、その比較結果に応じて次のような2値化出力 y が得られる。

【0104】①. $x \leq s_1$ であれば、 $y = 0$ であり、
②. $s_1 < x \leq s_2$ であれば、 y は直前の画素の2値化結果と1ライン前の画素の2値化結果との論理積の値であり、
③. $s_2 < x \leq s_3$ であれば、 y は直前の画素の2値化結果と1ライン前の画素の2値化結果との論理和の値であり、
④. $s_3 < x$ であれば、 $y = 1$ である。

【0105】この二値化回路から得られた二値画像信号は、白画素と黒画素とが集中しやすいので、MHあるいはMR符号化に適している。また、比較器40乃至42に対するフィードバックを有していないので、パイプライン処理による高速化が容易である。

【0106】なお、本例の二値化回路は、予測値として、既に2値化された隣接画素の値を論理演算することにより複数の予測値を用意しているが、これ以外の方法で複数の予測値を用意し、入力された中間調画像情報 x の値によって、適当な予測値を選択するような2値化方式を構成することも可能である。

【0107】続いて、図16は、同じく、前記第1、第2の実施例等の2値化器1として用いられる2値化回路の第6の例を示す構成図である。

【0108】図16において、48は2値バッファメモリ、49は予測器であり、その他、第1の例に示した構成要素と同じ構成要素には同じ符号を付けている。

【0109】本例は、前述の各例に示された1画素分の遅延器37や1ライン分の遅延器38等を、2値バッファメモリ48及び予測器49に置き換えたもので、前記第1の例乃至第5の例を総合して表せば、本例のような構成になるものである。

【0110】本例の動作については、入力された中間調画像信号 x は、比較器34、35においてそれぞれ2つのしきい値 s_1 、 s_2 と比較される。2値バッファメモリ48には、前記信号 x の近傍点の既に2値化された画素の値が保存されている。予測器49は、2値バッファメモリ48の内容から前記信号 x の2値化結果の予測値 y' を予測する。この予測値 y' も2値であり、0また

は1である。選択器36からは比較器34、35の比較結果に応じて次のような2値化出力 y が得られる。

【0111】①. $x \leq s_1$ であれば、 $y = 0$ であり、
②. $s_1 < x \leq s_2$ であれば、 $y = y'$ であり、
③. $s_2 < x$ であれば、 $y = 1$ である。

【0112】本例による2値化回路は、2値化される前記信号 x が0または1に近い時($x \leq s_1$ 、あるいは、 $s_2 < x$)には0または1を出力し、前記信号 x が0または1から離れている時は、予測値 y' を出力する。すなわち、予測値 y' が出力されるのは、0を出力しても1を出力しても誤差が大きい時であり、どちらを出力しても誤差が大きいのであれば、予測に都合のよい値を出力すればよいというものである。勿論、前記信号 x が0または1に近い時であっても、2値化出力 y と予測値 y' とが一致することもある。

【0113】本例の2値化回路で得られた2値画像信号を符号化する場合は、2値画像信号そのものではなく、予測器49の予測値 y' の2値化出力 y とが一致したか否かについての情報を符号化するようにすれば、符号量を減らすことができる。また、2値画像信号を復号する場合も予測器が必要であるが、このときには符号化及び復号化で用いる予測器は同じ初期値を用いて作動させる必要がある。このような方式で2値画像信号を符号化信号として伝送すれば、符号量が圧縮できる。

【0114】さらに、図17は、前記第2及び第3の実施例の2値化器7として用いられる2値化回路の第2の例を示す構成図である。

【0115】図17において、50、51は比較器、52、53は加算器、54は乗算器である。

【0116】本例においては、入力された2つの中間調画像情報 x_1 、 x_2 は、次のようにして2値化される。まず、比較器50において前記情報 x_1 がしきい値 s_1 と比較されて2値化される。そのとき生じた2値化誤差は加算器52で求められる。この2値化誤差は乗算器54で適当に重み付けされ、加算器53において前記情報 x_2 を修正している。この修正された前記情報 x_2 は比較器51において2値化される。

【0117】本例による2値化回路を単独で用いた場合には、始めの画素で発生した2値化誤差を次の画素において打ち消すようにしているので、ある程度の階調性は保存される。また、本例による2値化回路を図2に示された誤差拡散回路の2値化器7に適用すると、従来の誤差拡散回路と同様の1画素毎に2値化を行なう誤差拡散回路が構成される。

【0118】続いて、本発明の画像信号処理方式に用いられる符号化回路について説明する。

【0119】図18は、この符号化回路の第1の例を示すブロック構成図である。

【0120】図18において、55はMR符号化器であり、その他、図7に示した構成要素と同じ構成要素には

同じ符号を付けている。

【0121】本例は、図7に示された誤差拡散回路にMR符号化器55を付加して符号化回路を構成したもので、MR符号化器55は、2値バッファメモリ25に蓄積されている1ラインの2値データを参照ラインに受け、また、2値化器1の出力に得られた2値画像信号データを符号化ラインに受けて、MR符号化を行なっているものである。

【0122】本例においては、MR符号化時に必要とするラインメモリを、誤差拡散回路の補正回路内にある2値バッファメモリ25と共用しているため、この分だけ全体の記憶装置の記憶容量を少なくすることができる。

【0123】次に、図19は、この符号化回路の第2の例を示すブロック構成図である。

【0124】図19において、56はMR符号化器であり、その他、図16に示した構成要素と同じ構成要素には同じ符号を付けている。

【0125】本例は、図16に示された2値化回路にMR符号化器56を付加して符号化回路を構成したもので、MR符号化器56は、2値バッファメモリ48に蓄積されている1ラインの2値データを参照ラインに受け、また、選択器36の出力に得られた2値画像信号データを符号化ラインに受けて、MR符号化を行なっているものである。

【0126】本例においても、MR符号化時に必要とするラインメモリを、2値化回路内にある2値バッファメモリ48と共用しているため、この分だけ全体の記憶装置の記憶容量を少なくすることができる。

【0127】また、図20は、図16に示された2値化回路で得られる2値画像信号の値と予測器の予測値との一貫性を表す情報を符号化する符号化回路の例を示すブロック構成図である。

【0128】図20において、57は比較器、58は2値信号の符号化器であり、その他、図16に示した構成要素と同じ構成要素には同じ符号を付けている。

【0129】本例は、図16に示された2値化回路に、比較器57と2値信号の符号化器58とを付加して、選択器36の出力に得られる2値画像信号の値 y と予測器49の予測値 y' との一貫性を表す2値情報を符号化するもので、比較器57は、前記2値画像信号の値 y と前記予測値 y' とを比較してその比較結果を0（一致）、1（不一致）の2値情報として出力し、2値信号の符号化器58は、前記2値情報を符号化した符号化出力を発生する。

【0130】本例においては、情報0、1に対応させて符号化伝送しているため、0、1の出現回数に応じて情報圧縮を行なうことができるものである。

【0131】さらに、図21は、図20の前記符号化回路により符号化された情報を復号化する復号化回路の例を示すブロック構成図である。

【0132】図21において、59は2値情報の復号器、60は選択器、61は2値バッファメモリ、62は予測器である。

【0133】本例の動作は、図20に示された符号化回路から供給された2値情報は、始めに、2値情報の復号器59に取り入れられ、そこで0、1の情報の復号される。次いで、この復号情報は選択器60に供給されるが、選択器60は図20に示された符号化回路に用いられている予測器49と同じ予測器62の予測値により制御されている。そして、この制御において、選択器60は、前記復号情報が0であれば予測器62の出力に一致しているため、予測器62の出力を発生し、前記復号情報が1であれば予測器62の出力に不一致であるため、予測器62の反転出力を発生するようにしている。

【0134】図20に示された符号化回路と本例による復号化回路とを併用する際には、前述のように、双方の予測器49、62の特性は同一であり、かつ、双方の2値バッファメモリ48、61の初期状態（全てが0または1）をも同一にする必要がある。このように構成すれば、双方の予測器49、62から出力される値は、常時一致するので、図20に示された符号化回路においては、そこに得られる一致、不一致の情報0、1のみを符号化して伝送すれば、本例による復号化回路の出力には図20に示された符号化回路の出力2値画像信号と同じ2値画像信号を得ることができる。

【0135】そして、前記併用による場合に、通常、前記2値画像信号の値と前記予測値とは一致するので、前記2値情報は0（一致）が多くなり、この偏りに適した2値信号の符号化器58と2値情報の復号器を用いれば、伝送すべき情報量を減らすことができる。

【0136】

【発明の効果】本発明によれば、第1に、バッファメモリ3に保存される2値化誤差は、保存されるビット数を減らすようにしたり、複数画素をまとめてその平均値を保存するようにしているため、バッファメモリ3の記憶容量を小さくでき、その大きさを縮小できるという効果がある。また、バッファメモリ3の記憶容量の小型化に対応して、それに情報を書き込んだり、それから情報を読み出す回数も減らすことができるため、メモリアクセスタイムによって制限されていた処理速度を向上できるという効果もある。

【0137】第2に、バッファメモリ3に保存される2値化誤差を、予め平均値を取った後に保存している場合には、誤差フィルタ12で行なう重み付きの計算量を減少させることができるという効果がある。

【0138】第3に、2値化誤差を分配する誤差フィルタ5の演算手段として、ビット線を組み合わせた方式を採用した場合には、誤差を分配するための演算が著しく簡単になるという効果がある。

50 【0139】第4に、複数画素をまとめて同時に2値化

する場合には、隣接した画素同士の関係を考慮して2値化することができるので、画質が向上し、また、誤差の分配も複数画素を単位に行なっているので、隣接した画素の状態に応じた誤差の分配を考慮することができて画質が向上するという効果がある。

【0140】この他に、本発明に用いられる2値化回路は、比較器にフィードバックを行なわない構成でありながら、ヒステリシス等の特性を付与させることができ、パイプライン処理による高速化に適し、それを誤差拡散回路に適用した場合には、白画素・黒画素の分布を制御できるので、特定の符号化方式を選択すれば、画質劣化を避けながら、符号化効率のよい二値画像信号を生成できるという効果がある。

【図面の簡単な説明】

【図1】図1は、本発明に係る画像信号処理装置の第1の実施例を示すブロック構成図である。

【図2】図2は、本発明に係る画像信号処理装置の第2の実施例を示すブロック構成図である。

【図3】図3は、本発明に係る画像信号処理装置の第3の実施例を示すブロック構成図である。

【図4】図4は、本発明に係る画像信号処理装置の第4の実施例を示すブロック構成図である。

【図5】図5は、第4の実施例に用いる変換器及び逆変換器の構成の一例を示すブロック構成図である。

【図6】図6は、本発明に係る画像信号処理装置の第5の実施例を示すブロック構成図である。

【図7】図7は、本発明に係る画像信号処理装置の第6の実施例を示すブロック構成図である。

【図8】図8は、本発明に係る画像信号処理装置の第7の実施例を示すブロック構成図である。

【図9】図9は、誤差分配器の具体的な構成を示す構成図である。

【図10】図10は、第1の2値化器として用いられる2値化回路の例を示す構成図である。

【図11】図11は、第2の2値化器として用いられる2値化回路の第1の例を示す構成図である。

【図12】図12は、第2の2値化器として用いられる2値化回路の第2の例を示す構成図である。

【図13】図13は、第2の2値化器として用いられる2値化回路の第3の例を示す構成図である。

【図14】図14は、第2の2値化器として用いられる2値化回路の第4の例を示す構成図である。

【図15】図15は、第2の2値化器として用いられる2値化回路の第5の例を示す構成図である。

【図16】図16は、第2の2値化器として用いられる2値化回路の第1乃至第5の総合例を示す構成図であ

る。

【図17】図17は、2画素を同時に2値化する2値化回路の例を示す構成図である。

【図18】図18は、符号化回路の第1の例を示すブロック構成図である。

【図19】図19は、符号化回路の第2の例を示すブロック構成図である。

【図20】図20は、符号化回路の第3の例を示すブロック構成図である。

【図21】図21は、復号化回路の例を示すブロック構成図である。

【図22】図22は、周知のデルタ・シグマ変調回路を示すブロック構成図である。

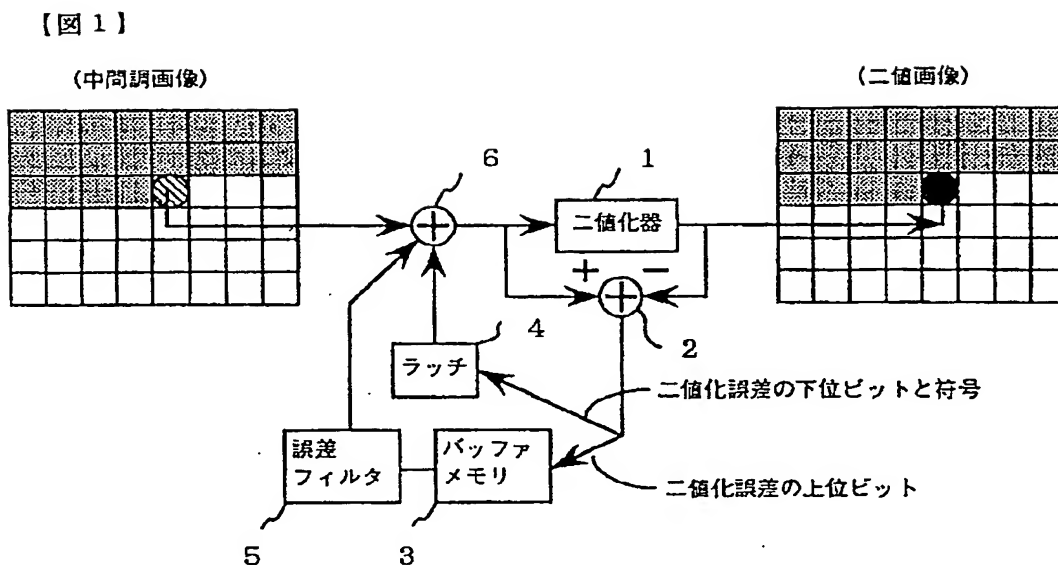
【図23】図23は、従来の誤差拡散法による2値化回路の一例を示すブロック構成図である。

【図24】図24は、誤差拡散法において周辺画素からの誤差が分配される様子を示した図である。

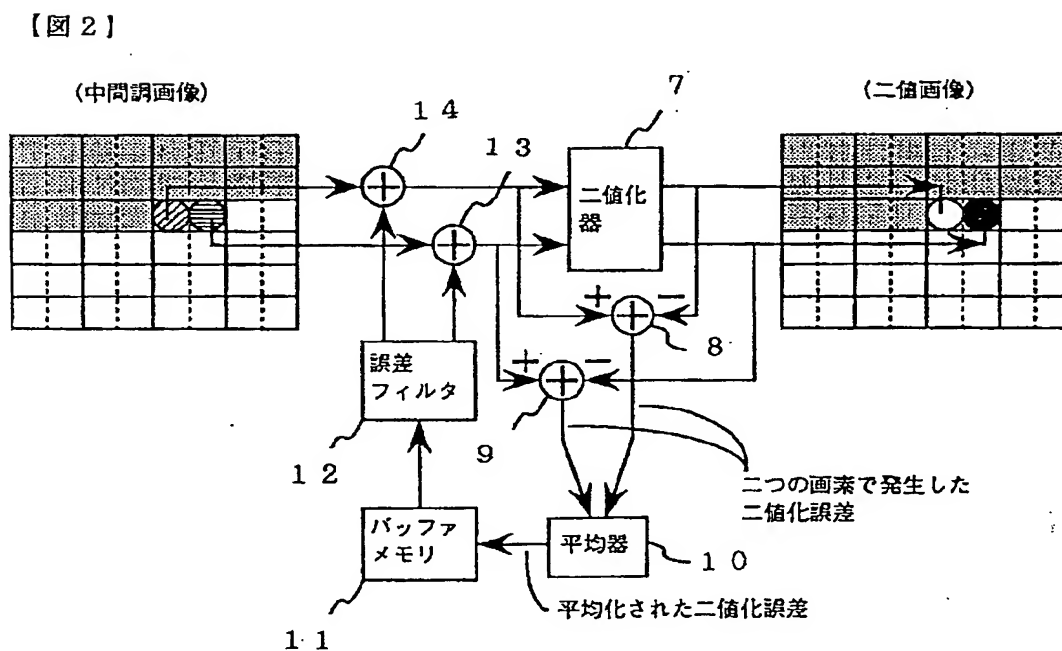
【符号の説明】

- 1、7 2値化器
- 2、6、8、9、13、14、17、23、27、29、52、53 加算器
- 3、11、25、48、61 バッファメモリ
- 4 ラッチ回路
- 5、12 誤差フィルタ
- 10 平均化回路
- 15 変換器
- 16、18 逆変換器
- 19、22 1次元または2次元のローパスフィルタ
- 20 ダウンサンプリング回路
- 21 インターポーレーション回路
- 24 バイアス発生器
- 26 2次元のローパスフィルタ
- 28 誤差分配器
- 30、31、32、34、35、40、41、42、50、51、57 比較器
- 33、36、43、60 選択器
- 37、45 1画素分の遅延器
- 38、44 1ライン分の遅延器
- 39 インバータ
- 46 オアゲート
- 47 アンドゲート
- 49、62 予測器
- 54 乗算器
- 55、56 MR符号化器
- 58 2値情報符号化器
- 59 2値情報復号化器

【図 1】

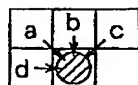


【図 2】



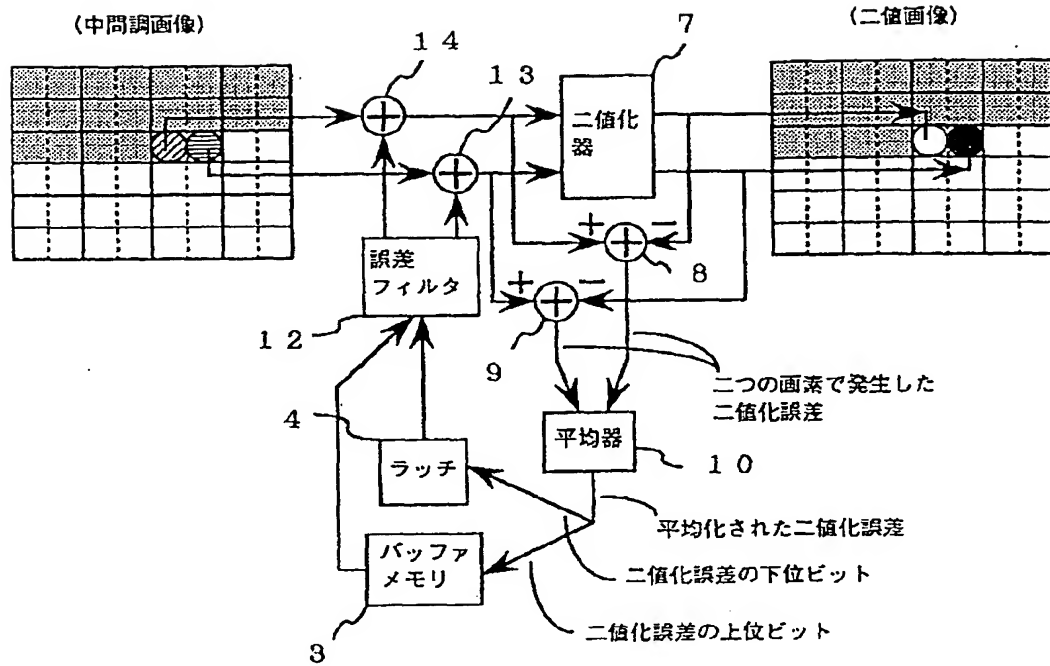
【図 2 4】

【図 2 4】



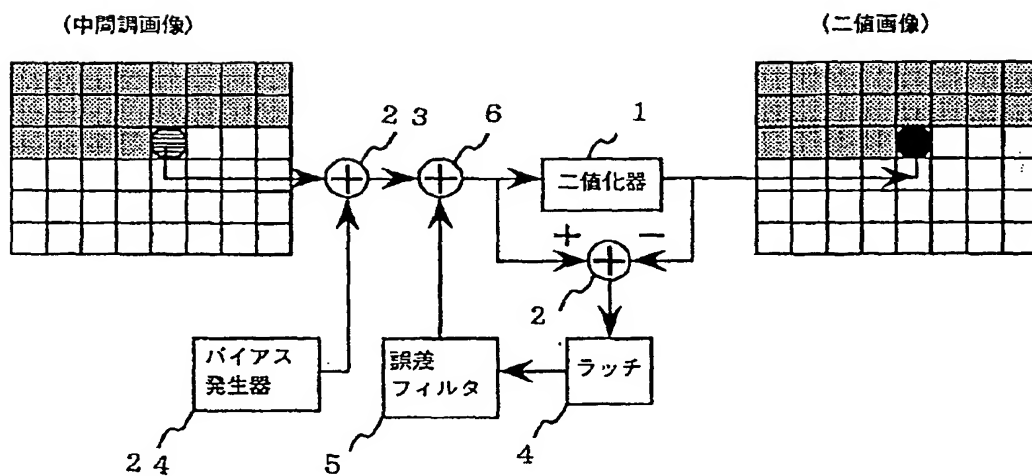
【図3】

【図3】



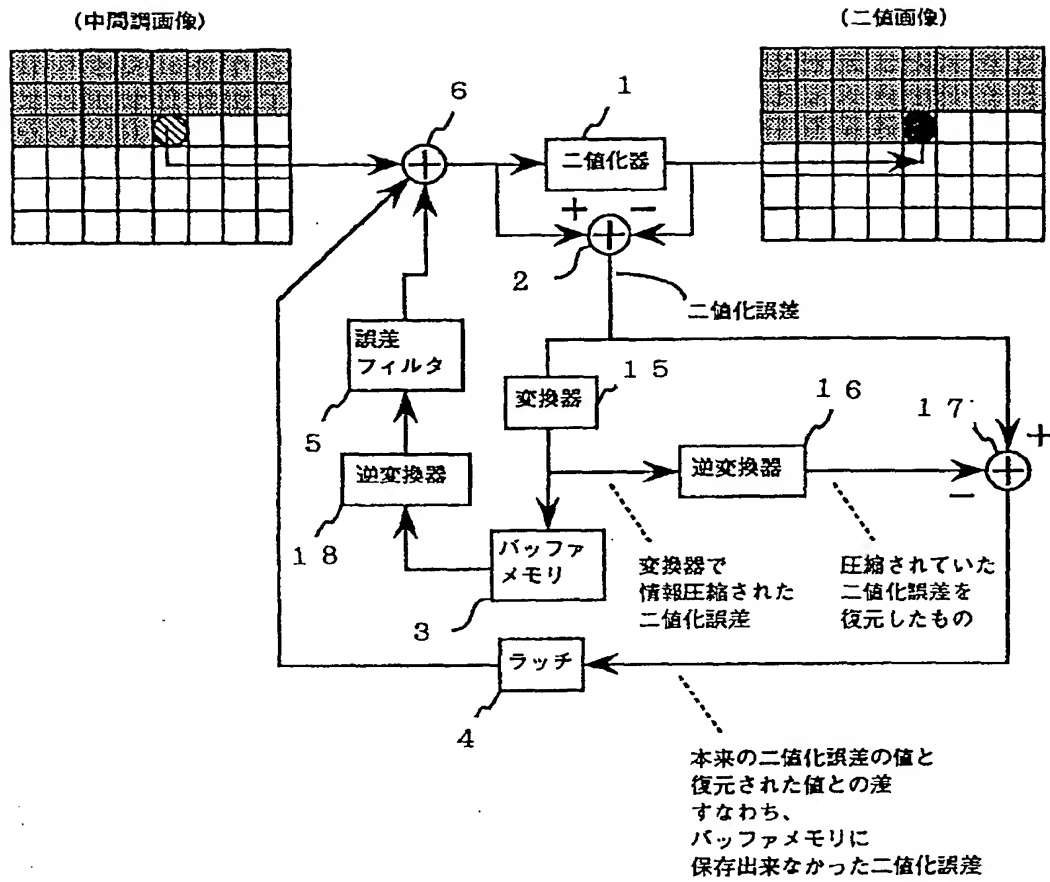
【図6】

【図6】



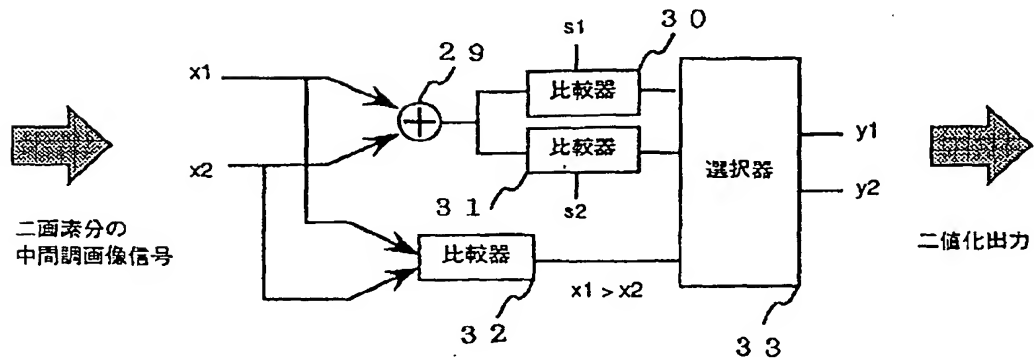
【図4】

【図4】



【図10】

【図10】



【図5】

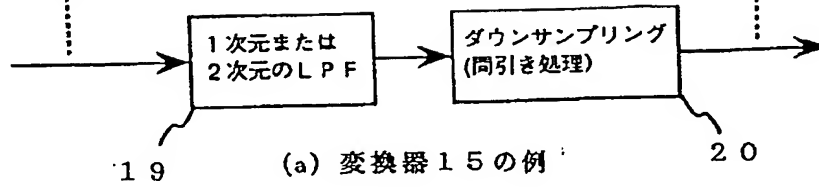
【図5】

加算器2より

二値化誤差データの入力

バッファメモリ3、

および逆変換器16へ



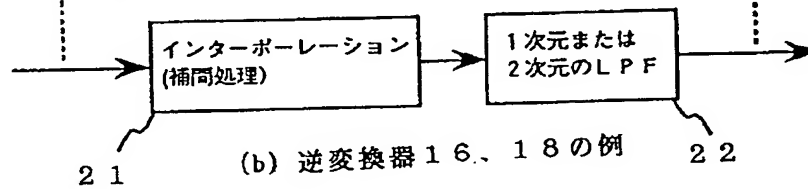
(a) 変換器15の例

バッファメモリ3、

または逆変換器16より

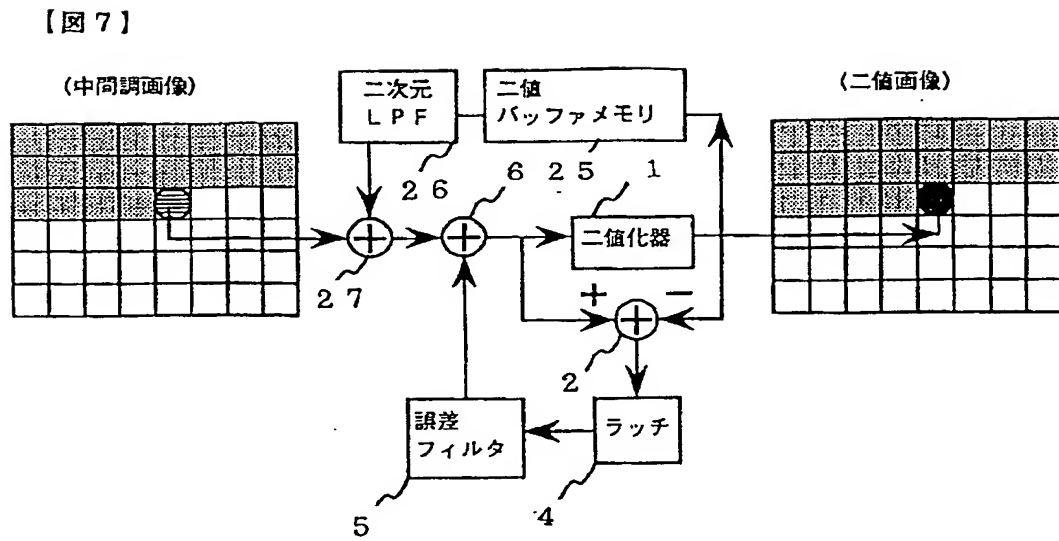
誤差フィルタ5、

または加算器17へ



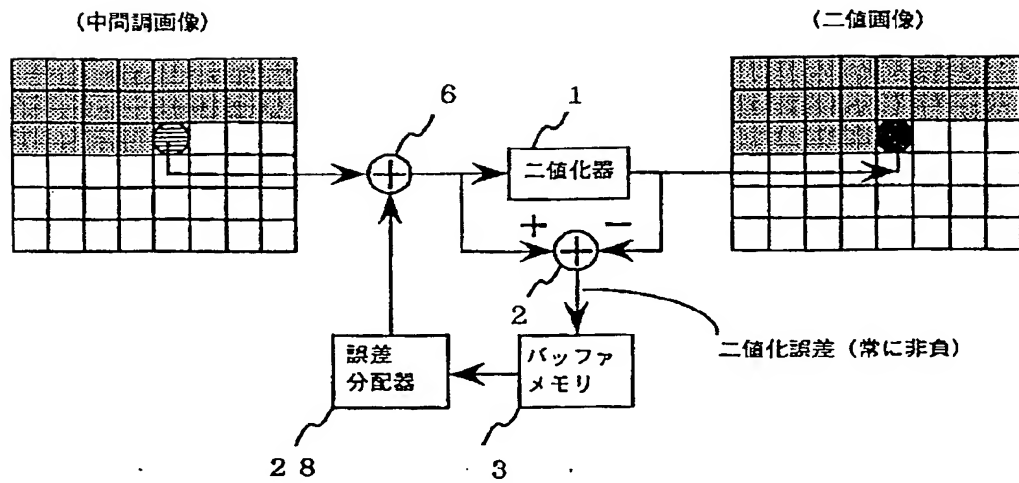
(b) 逆変換器16、18の例

【図 7】



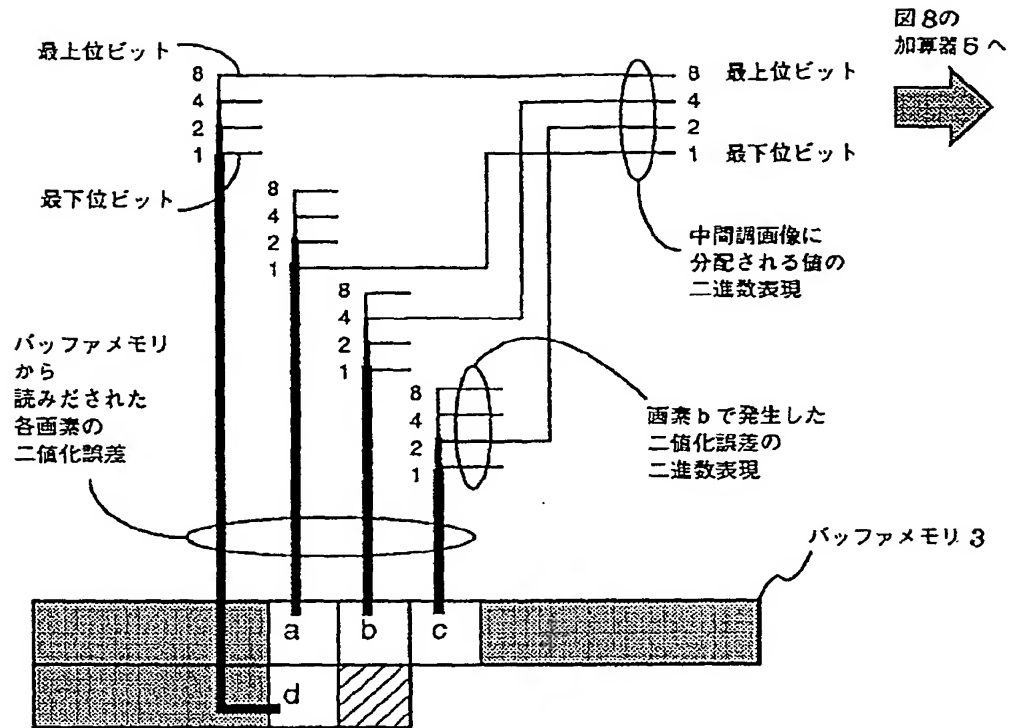
【図 8】

【図 8】



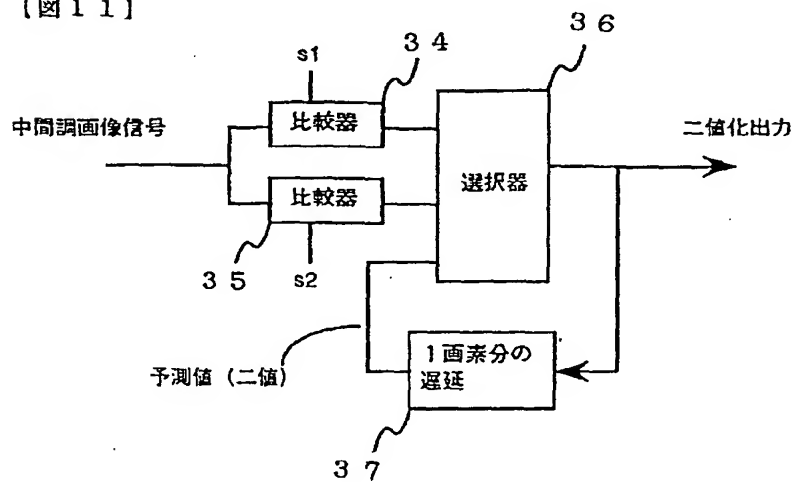
【図9】

【図9】



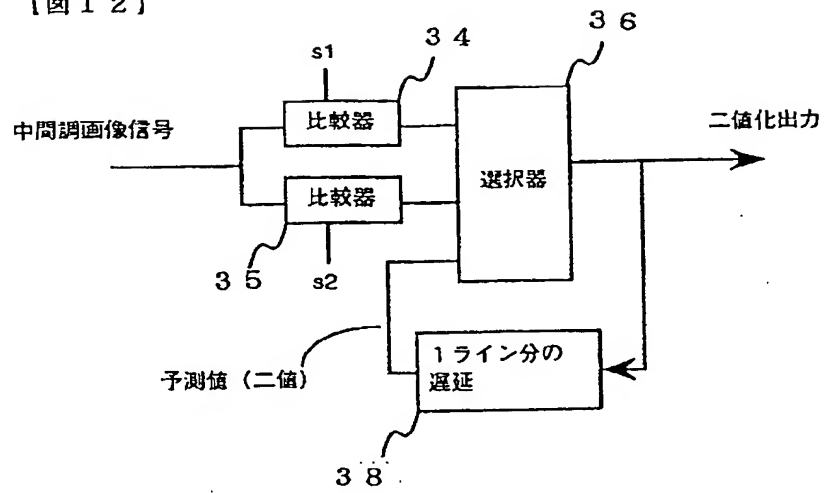
【図11】

【図11】



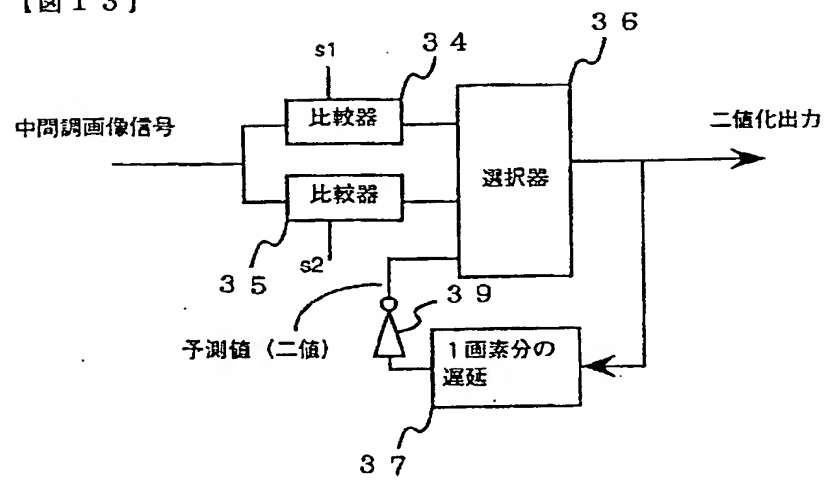
【図12】

【図12】

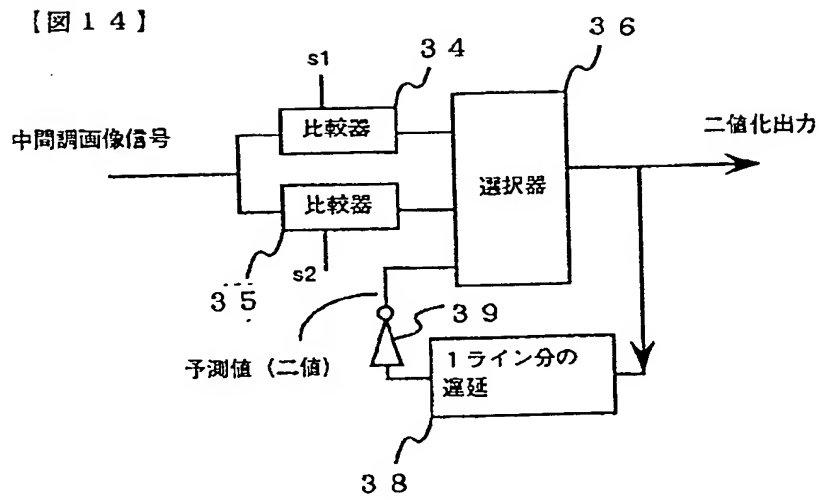


【図13】

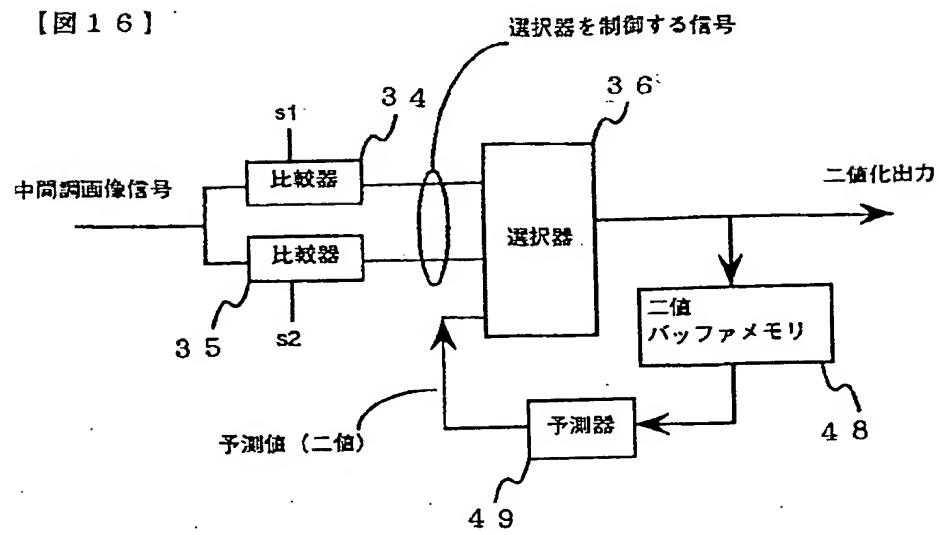
【図13】



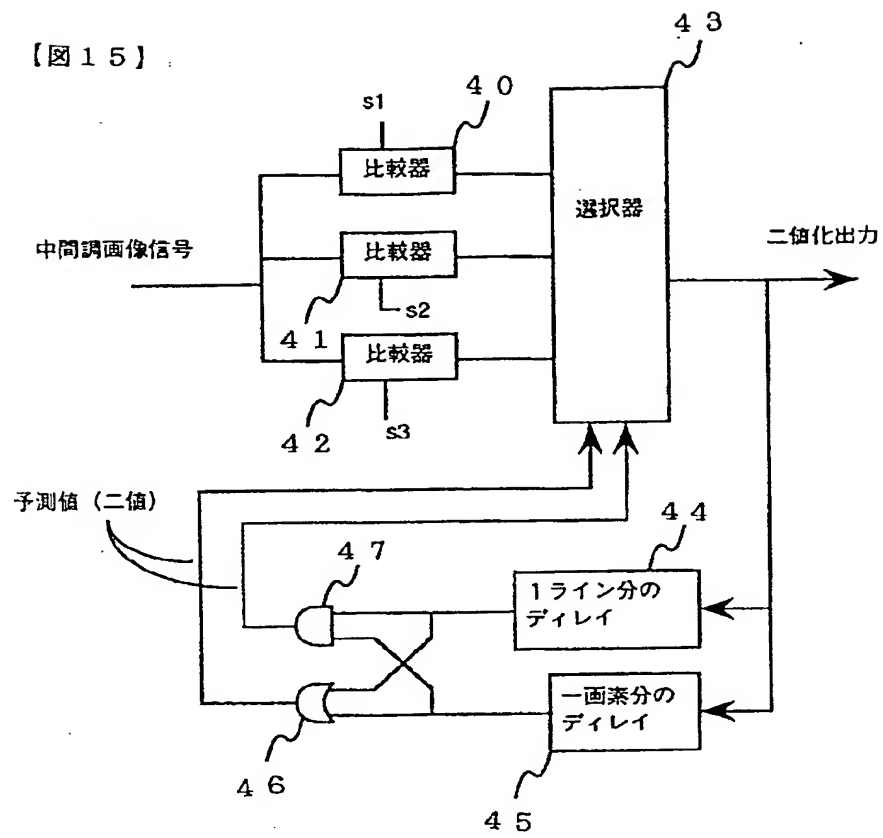
【図14】



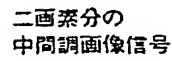
【図16】



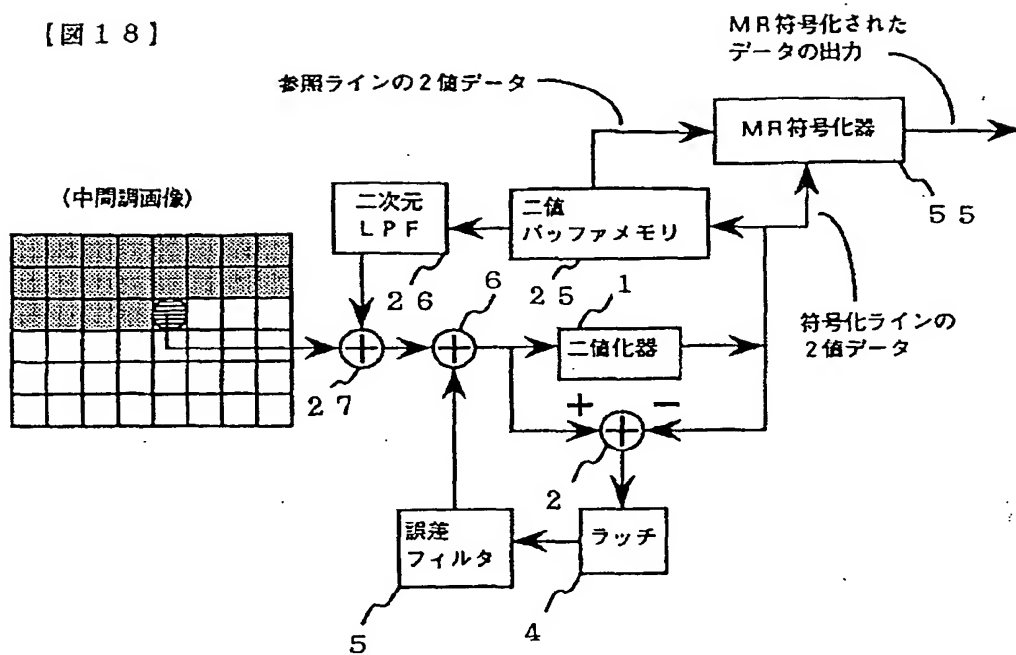
【図15】



【 17 】

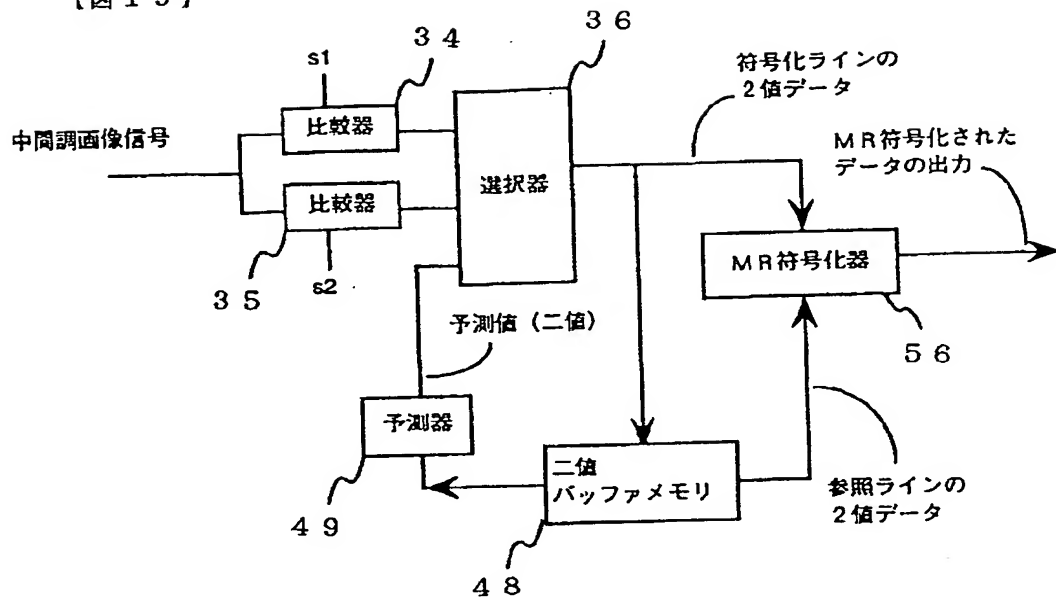


【圖 18】



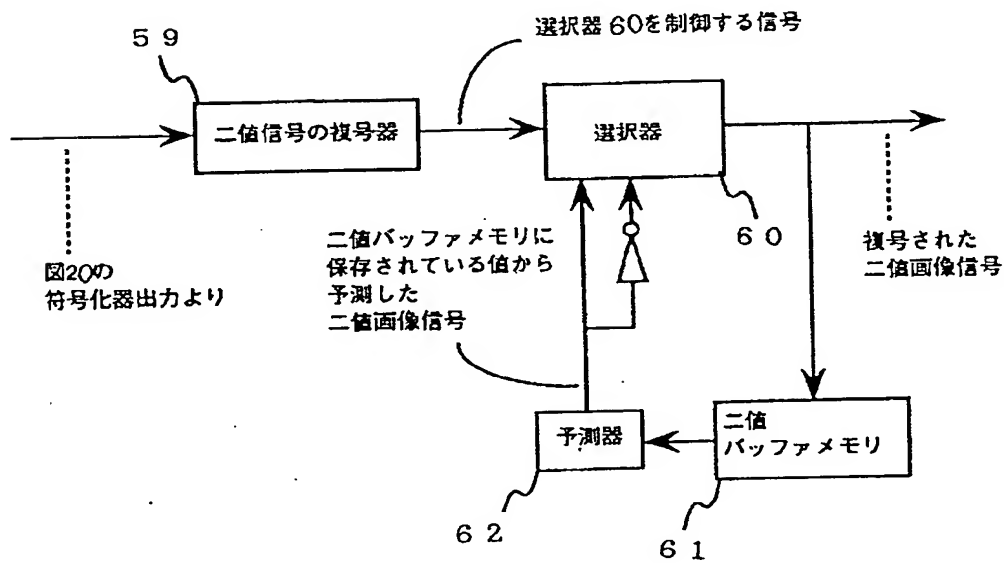
【図19】

【図19】

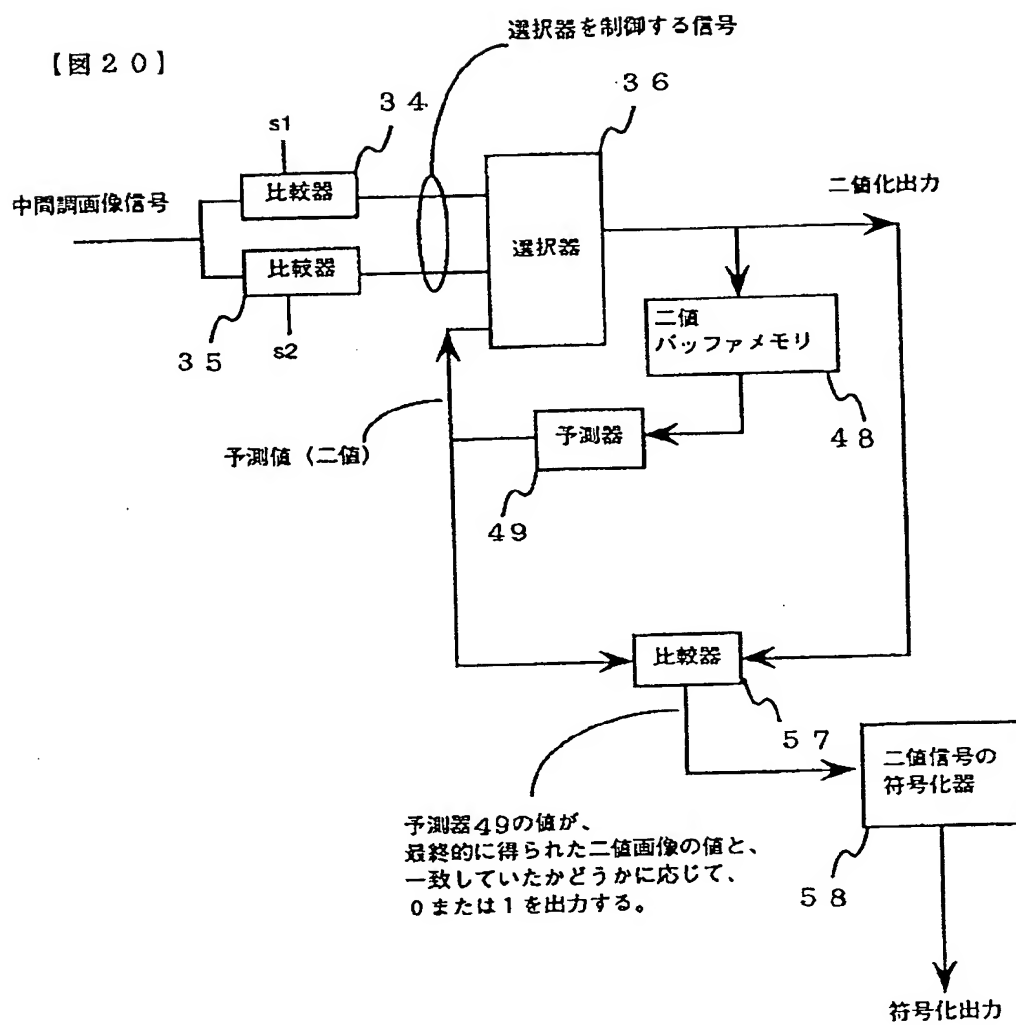


【図21】

【図21】

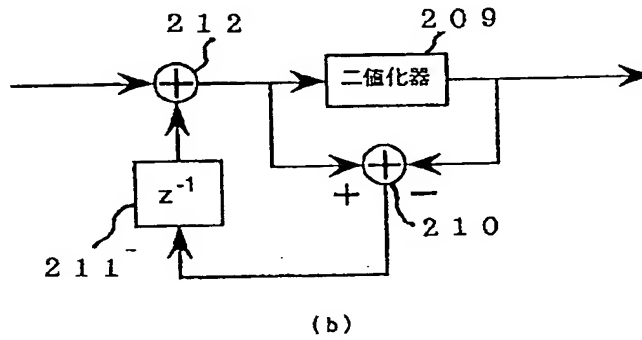
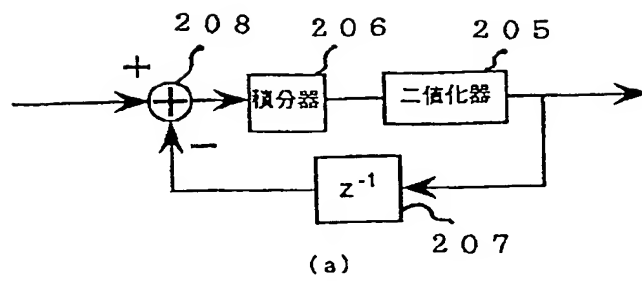


【図20】



【図22】

【図22】



【図23】

【図23】

